



IPW

PTO/SB/21 (02-04)  
Approved for use through 07/31/2006. OMB 0651-0031  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

<b>TRANSMITTAL FORM</b>  (to be used for all correspondence after initial filing)	Application Number	10/710,891	
	Filing Date	2004/8/11	
	First Named Inventor	Yuan-Ting Wu	
	Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	3	Attorney Docket Number	MTKP0088USA

ENCLOSURES (Check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form	<input type="checkbox"/> Drawing(s)	<input type="checkbox"/> After Allowance communication to Technology Center (TC)
<input type="checkbox"/> Fee Attached	<input type="checkbox"/> Licensing-related Papers	<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Amendment/Reply	<input type="checkbox"/> Petition	<input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> After Final	<input type="checkbox"/> Petition to Convert to a Provisional Application	<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Affidavits/declaration(s)	<input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address	<input type="checkbox"/> Status Letter
<input type="checkbox"/> Extension of Time Request	<input type="checkbox"/> Terminal Disclaimer	<input type="checkbox"/> Other Enclosure(s) (please identify below):
<input type="checkbox"/> Express Abandonment Request	<input type="checkbox"/> Request for Refund	
<input type="checkbox"/> Information Disclosure Statement	<input type="checkbox"/> CD, Number of CD(s) _____	
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s)	Remarks	
<input type="checkbox"/> Response to Missing Parts/Incomplete Application		
<input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	<i>Winston Hsu</i>
Date	8/13/2004

CERTIFICATE OF TRANSMISSION/MAILING		
I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.		
Typed or printed name		
Signature		Date

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/17 (10-03)

Approved for use through 07/31/2006. OMB 0651-0032

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

# FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$ ) 0.00

**Complete if Known**

Application Number	10/710,891
Filing Date	2004/8/11
First Named Inventor	Yuan-Ting Wu
Examiner Name	
Art Unit	
Attorney Docket No.	MTKP0088USA

**METHOD OF PAYMENT (check all that apply)**☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None☒ Deposit Account:Deposit  
Account  
Number  
Deposit  
Account  
Name

50-3105

North America Intellectual Property Corp.

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☐ Credit any overpayments☒ Charge any additional fee(s) or any underpayment of fee(s)☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.**FEE CALCULATION****1. BASIC FILING FEE**

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	770	2001	385	Utility filing fee	
1002	340	2002	170	Design filing fee	
1003	530	2003	265	Plant filing fee	
1004	770	2004	385	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	
SUBTOTAL (1)					(\$ ) 0.00

**2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE**

		Extra Claims		Fee from below		Fee Paid
Total Claims	<input type="text"/>	-20** =	<input type="text"/>	X	<input type="text"/>	
Independent Claims	<input type="text"/>	-3** =	<input type="text"/>	X	<input type="text"/>	<input type="text"/>
Multiple Dependent					<input type="text"/>	<input type="text"/>

Large Entity		Small Entity		Fee Description
Fee Code	Fee (\$)	Fee Code	Fee (\$)	
1202	18	2202	9	Claims in excess of 20
1201	86	2201	43	Independent claims in excess of 3
1203	290	2203	145	Multiple dependent claim, if not paid
1204	86	2204	43	** Reissue independent claims over original patent
1205	18	2205	9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$ ) 0.00

\*\*or number previously paid, if greater; For Reissues, see above

**FEE CALCULATION (continued)****3. ADDITIONAL FEES**

Large Entity Small Entity

Fee Code	Fee (\$)	Fee Code	Fee (\$)	Fee Description	Fee Paid
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for <i>ex parte</i> reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	
1252	420	2252	210	Extension for reply within second month	
1253	950	2253	475	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	2,010	2255	1,005	Extension for reply within fifth month	
1401	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,330	2453	665	Petition to revive - unintentional	
1501	1,330	2501	665	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	2809	385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	770	2810	385	For each additional invention to be examined (37 CFR 1.129(b))	
1801	770	2801	385	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify)

\*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$ ) 0.00

**SUBMITTED BY**

(Complete if applicable)

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature		Date	8/13/2004		

**WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.**

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/02B (08-03)

Approved for use through 08/31/2003. OMB 0651-0032

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

**DECLARATION – Supplemental Priority Data Sheet**

Foreign applications:					
Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092124749	Taiwan R.O.C	9/8/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

This collection of information is required by 35 U.S.C. 115 and 37 CFR 1.63. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 21 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder

申請日：西元 2003 年 09 月 08 日  
Application Date

申請案號：092124749  
Application No.

申請人：聯發科技股份有限公司  
Applicant(s)

CERTIFIED COPY OF  
PRIORITY DOCUMENT

局長  
BEST AVAILABLE COPY Director General

蔡練生

發文日期：西元 2003 年 10 月 2 日  
Issue Date

發文字號：09221065730  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	保護一記憶體之一特定區段的方法與相關裝置
	英 文	Method and Apparatus for Protecting A Specific Memory Section
二、 發明人 (共2人)	姓 名 (中文)	1. 吳元丁
	姓 名 (英文)	1. Wu, Yuan-Ting
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹市東區民享一街二十二巷二十三號
	住居所 (英 文)	1. No. 23, Lane 22, Ming-Shiang 1 St., Tong District, Hsin-Chu City, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 聯發科技股份有限公司
	名稱或 姓 名 (英文)	1. MediaTek Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區創新一路1-2號5樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 5F, No. 1-2, Innovation Road 1, Science-Based Industrial Park, Hsin-Chu City, Taiwan, R.O.C.
	代表人 (中文)	1. 蔡明介
	代表人 (英文)	1. Tsai, Ming-Kai

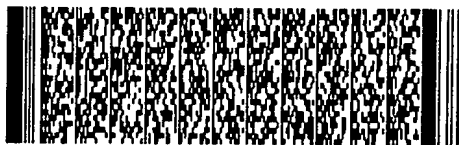


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共2人)	姓 名 (中文)	2. 陳炳盛
	姓 名 (英文)	2. Chen, Ping-Sheng
	國 籍 (中英文)	2. 中華民國 TW
	住居所 (中 文)	2. 嘉義縣中埔鄉隆興村十三號
	住居所 (英 文)	2. No. 13, Lung-Hsing Tsun, Chung-Pu Hsiang, Chia-Yi Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：保護一記憶體之一特定區段的方法與相關裝置)

一種存取一記憶體的方法，用以於存取該記憶體時保護一記憶體區段不被誤存取或誤變更，該方法包含有以下步驟：利用一微處理器產生一第一邏輯位址資料；利用一位址轉換裝置依據一控制訊號，選擇性地輸出該第一邏輯位址資料或者一第二邏輯位址資料，以作為一實體位址資料；以及依據該實體位址資料存取該記憶體；其中該第二邏輯位址資料係為該第一邏輯位址資料經過運算後所得之結果。

五、(一)、本案代表圖為：第 二 圖

(二)、本案代表圖之元件代表符號簡單說明：

100 步驟 100

102 步驟 102

104 步驟 104

六、英文發明摘要 (發明名稱：Method and Apparatus for Protecting A Specific Memory Section)

A memory accessing method used for protecting a memory section from being accessed or changed incorrectly, the method includes following steps: utilizing a microprocessor for generating a first logic address data; utilizing an address translator for selectively outputting the first logic address data or a second logic address data to be a physical address data according to a



四、中文發明摘要 (發明名稱：保護一記憶體之一特定區段的方法與相關裝置)

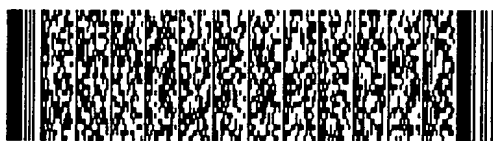
106 步驟 106

108 步驟 108

代表化學式

六、英文發明摘要 (發明名稱：Method and Apparatus for Protecting A Specific Memory Section)

control signal; and accessing the memory according to the physical address data; wherein the second logic address data is generated by processing the first logic address data.





一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

### 發明所屬之技術領域

本發明提供一種存取一記憶體的方法及相關裝置，尤指一種用以於存取該記憶體時，保護一記憶體區段不被誤存取或誤變更的方法及相關裝置。

### 先前技術

微處理器與記憶體等電子元件在現今資訊化世界中佔有極為重要之角色，並已被廣泛的應用在各種不同領域的電子產品上。以 DVD Player 及個人電腦用之 CD-ROM、CD-RW、DVD-ROM 光碟機等電子產品為例，其運作方式皆是以一微處理器執行一儲存於非揮發性 (Non-Volatile) 記憶體 (如 FLASH、ROM) 上之程式碼 (Program Code)，並配合特殊設計之應用積體電路 (Application Specific Integrated Circuit, ASIC) 來處理儲存於一揮發性 (Volatile) 記憶體 (如 DRAM、SRAM) 上之一般資料。

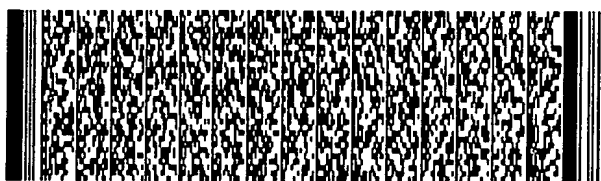
微處理器係以執行程式碼 (Program Code) 來維持系統之運作，而儲存於該非揮發性記憶體上之程式碼又稱為韌體 (Firmware)。許多應用產品之韌體基於功能增加、改良或除錯之故，可能需要不定期更新，此更新之動作通稱為韌體更新 (Firmware Update)。



## 五、發明說明 (2)

韌體更新時最大的風險是當進行韌體更新動作時，可能因斷電或不當操作等原因而造成更新動作失敗。而韌體更新動作失敗有可能造成系統無法正常運作，甚至於無法藉由再次進行韌體更新的動作以恢復系統正常功能。為防止上述情形發生，習知技術於更新韌體時多使用一種通稱為「系統啟動碼防護」(Boot Code Protection)的方法來解決。系統啟動碼(Boot Code)係韌體程式碼的一部份，每次系統啟動(Power on)或重開機(Reboot)後，韌體碼當中最先被執行的一段程式碼便是系統啟動碼。習知技術將儲存系統啟動碼部分的記憶體區段設定為防寫狀態，使系統啟動碼不會在韌體更新過程當中遭到變更。如此一來，即使韌體更新失敗，系統仍可藉由執行系統啟動碼的方式重新啟動，而不至於發生無法再次進行韌體更新動作的情形。上述用以保護系統啟動碼區段的方法乃習知技術所熟知，以下僅簡單描述其運作方式。

請參考圖一。圖一為一習知微處理器系統200的示意圖。如圖一所示，微處理器系統200包含有：一微處理器10；一非揮發性記憶體30(如FLASH)，透過一位址匯流排20耦接於微處理器10，非揮發性記憶體30包含有一系統啟動碼區段32、一普通韌體碼區段34、以及複數個接腳36、37、38，其中系統啟動碼區段32用以儲存系統啟動



### 五、發明說明 (3)

碼，普通韌體碼區段 34 用以儲存其他韌體程式碼，接腳 36、37、38 用以開啟或關閉系統啟動碼區段 32 的防寫功能。微處理器 10 係用以執行非揮發性記憶體 30 當中儲存的資料。

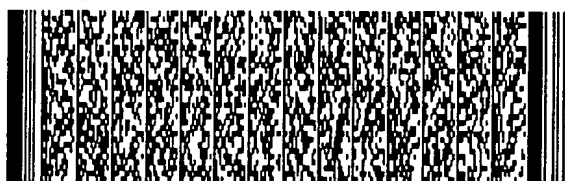
當進行韌體更新動作時，微處理器 10 經由位址匯流排 20 傳送一組位址資料至非揮發性記憶體 30，以告知非揮發性記憶體 30 該組位址所對應的資料將被微處理器 10 進行存取的動作。此時若系統啟動區段 32 沒有防寫保護，微處理器可對非揮發性記憶體 30 內任何位址的資料（包含系統啟動碼區段 32 與普通韌體碼區段 34）進行完整的存取動作。若當微處理器 10 對非揮發性記憶體 30 當中的資料進行更新的動作時，發生了斷電或不當操作使得韌體更新動作失敗，為使系統恢復正常運作，使用者必須重新開機以再次進行韌體更新動作。然而，由於系統啟動碼區段 32 內的資料可能已被改變而變得不完整或不正確，因此可能發生系統無法啟動的情形。若系統無法啟動，則當然也就無法重新進行韌體更新的動作。

因此，一般進行韌體更新時，都有一段韌體程式碼在韌體更新過程當中受到保護而不會被改變，用以確保更新失敗時，能藉由執行該段韌體程式碼（亦即所謂系統啟動碼）重新啟動系統，以再次進行韌體更新動作。該系統啟動碼係儲存於非揮發性記憶體 30 之系統啟動碼區段



#### 五、發明說明 (4)

32當中。通常在習知技術中有兩種方式可開啟系統啟動碼區段 32 的鎖定 (Lock) 功能。第一種方式是設定非揮發性記憶體 30 中幾個特定接腳的電位準，而該等特定的接腳的位置與電位準設定方式，需視不同的非揮發性記憶體規格而定。例如，如圖一所示，非揮發性記憶體 30 具有複數個接腳，其中當接腳 36 及接腳 37 設為高電位準，而接腳 38 設為超高電位準 (一般常用為 12.5V) 時，表示開啟非揮發性記憶體 30 中系統啟動碼區段 32 的鎖定功能。而當接腳 36 及接腳 37 皆設為低電位準，而接腳 38 設為超高電位準時，則表示關閉系統啟動碼區段 32 的鎖定功能。一旦系統啟動碼區段 32 的資料被鎖定，相當於系統啟動碼區段 32 內的資料具防寫保護，此時微處理器 10 雖可完整存取普通韌體碼區段 34 當中的內容，但對系統啟動碼區段 32 內的資料僅能進行讀取的動作，而無法進行寫入與刪除的動作。由於該段系統啟動碼在韌體更新的過程當中不會被變更，故微處理器 10 只需更新普通韌體碼區段 34 當中的資料，便能完成韌體更新的動作。若當微處理器 10 於更新普通韌體碼區段 34 中的資料時，發生了斷電或不當的操作使得韌體更新動作失敗，由於系統啟動碼區段 32 內的資料並未被變更，故可重新啟動系統，再次執行系統啟動碼區段 32 內所儲存之系統啟動碼，使得系統得以重新運作，以再次進行韌體更新的動作。



#### 五、發明說明 (5)

另一種方式是利用程式指令以控制非揮發性記憶體 30 開啟或關閉系統啟動碼區段 32 的鎖定功能。通常習知技術的方式是於幾個連續的匯流排週期 (Bus Program Cycle) 中，依序傳送特定的位址與數值之組合至非揮發性記憶體 30。若該等位址與數值之組合符合一預設的內容與順序，則依其預設協定，開啟或關閉系統啟動碼區段 32 的鎖定功能。其中需要使用的連續匯流排週期之數目，以及每一個匯流排週期中所需傳送之特定位址與數值的組合為何，則需視各記憶體廠商對非揮發性記憶體 30 的規格而定。舉例來說，假設圖一微處理器系統 200 中，非揮發性記憶體 30 其大小為 512Kbyte，其定址範圍從 00000H 到 7FFFFH，其中系統啟動碼區段 32 大小為 16Kbyte，其位址範圍從 00000H 至 03FFFH，普通韌體碼區段 34 的位址範圍從 04000H 至 7FFFFH。若於四個連續的匯流排週期中，依序傳送 5555H/AAH、2AAAH/55H、5555H/BBH、以及 3C000H/01H 之位址/數值組合至非揮發性記憶體 30，則非揮發性記憶體 30 會開啟系統啟動碼區段 32 的鎖定功能。若於四個連續的匯流排週期中，依序傳送 5555H/AAH、2AAAH/55H、5555H/BBH、以及 3C000H/00H 之位址/數值組合至非揮發性記憶體 30，則非揮發性記憶體 30 會關閉系統啟動碼區段 32 的鎖定功能。因此，藉由在連續的匯流排週期中，依序傳送特定的位址與數值之組合，即可控制非揮發性記憶體 30 之開啟或關閉系統啟動碼區段 32 鎖定功能。



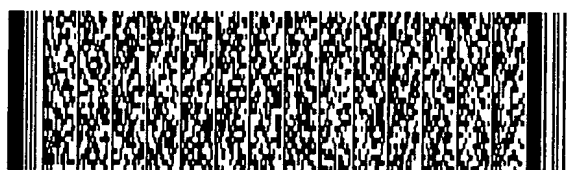
## 五、發明說明 (6)

如前所述，習知方法之重點乃在於利用非揮發性記憶體30之記憶體區段鎖定功能，以保護一特定之記憶體區段（即系統啟動碼區段），使其內容只能被讀取或執行但不可以被抹除或更新。在韌體更新動作完成後，不論更新動作成功或失敗，於系統重新運作時一律先執行儲存於該特定之記憶體區段之中的系統啟動碼。如此一來，當韌體更新動作失敗時，還可藉由執行儲存於該特定記憶體區段之程式碼，以檢查並維持系統之基本運作，而得以再行補救措施。然而習知技術中，此種保護特定之記憶體區段的方法存在以下缺點：

（1）必需使用一可支援此功能之特殊非揮發性記憶體，方可使一特定記憶體區段進入防寫狀態而受到保護，限制了硬體設計時的自由度。

（2）該特定記憶體區段的保護功能之開啟及關閉方法，隨不同記憶體廠商的設計規格而異，增加了系統設計上的複雜性與成本。

（3）保護的記憶體區段大小，係為一固定大小，且隨不同記憶體廠商的設計規格而異，不能依實際使用情況彈性調整。



#### 五、發明說明 (7)

(4) 該特定之記憶體區段在系統正常運作模式時，仍可能被微處理器所讀取，故仍然有被誤執行、誤存取、誤抹除或誤寫入（更新）之可能性。

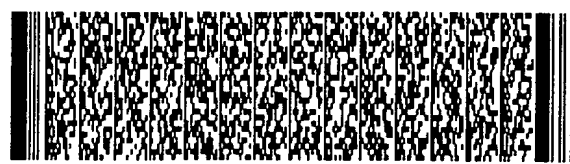
#### 發明內容

因此本發明主要提供一種存取記憶體的方法，用以於存取該記憶體時保護一記憶體區段不被誤存取或誤變更。

本發明所提出之存取一記憶體的方法，包含有利用一微處理器產生一第一邏輯位址資料；利用一位址轉換裝置依據一控制訊號，選擇性地輸出該第一邏輯位址資料或一第二邏輯位址資料（該第二邏輯位址資料係為該第一邏輯位址資料經過運算後所得之結果），以作為一實體位址資料；以及依據該實體位址資料存取該記憶體。

本發明藉由使用一位址轉換裝置更改微處理器位址解碼方式之設定值，使欲保護的系統啟動碼區段，在系統於正常動作模式時，不屬於微處理器之位址空間，故絕無被誤執行、誤存取、誤抹除或誤寫入（更新）之可能。

本發明之優點在於使用之非揮發性記憶體，不需具備支援「系統啟動碼防護」之功能，亦不需要複雜的非揮發性記憶體控制方式。





## 五、發明說明 (8)

本發明之另一優點在於透過更改位址轉換裝置之設定值，即可彈性調整欲保護之記憶體區段大小。

### 實施方式

在電腦科學上，所有可以被微處理器所存取之可定址 (Addressable) 單元之組合稱為位址空間 (Address Space)。位址空間以其特性又可區分為記憶體空間 (Memory Space) 與輸出入空間 (I/O Space)。而不存在於位址空間之記憶單元或輸出入單元便無法被微處理器所存取。根據位址空間之特性，本發明提出一種透過修改微處理器之位址解碼方式，使系統啟動碼區段可視需要而存在或不存在於微處理器之位址空間，藉以達成保護系統啟動碼區段之目的。

請參考圖二。圖二為本發明之微處理器系統 400 之一實施例示意圖。微處理器系統 400 包含有一微處理器 40；一位址轉換裝置 50，經由一第一位址匯流排 42 耦接於微處理器 40，用以處理微處理器 40 所輸出之一第一邏輯位址資料，並產生一實體位址資料；一非揮發性記憶體 60，包含有一系統啟動碼區段 62 及一普通韌體碼區段 64，非揮發性記憶體 60 經由一第二位址匯流排 44 耦接於位址轉換裝置 50，用來接收位址轉換裝置 50 所產生之該實體位址



#### 五、發明說明 (9)

資料。非揮發性記憶體 60係根據所接收到的該實體位址進行資料定址，將對應位址上的資料備便，以供微處理器 40進行存取。

於本發明之一較佳實施例中，位址轉換裝置 50包含有一暫存器 (Register) 52，用以儲存一設定值，該設定值係為系統啟動碼區段 62之一特性值 (例如位址空間大小)；一運算單元 54，耦接於暫存器 52及第一位址匯流排 42，用以根據該設定值處理該第一邏輯位址資料以產生一第二邏輯位址資料；一控制器 56，用以提供一控制訊號；一多工器 58，具有一第一輸入端、一第二輸入端、一選擇端、及一輸出端，該第一輸入端係耦接於運算單元 54之輸出端，該第二輸入端係耦接於第一位址匯流排 42，該選擇端係耦接於控制器 56，用以接收控制器 56產生之一控制訊號，該輸出端係耦接於第二位址匯流排 44，用以透過第二位址匯流排 44輸出該實體位址資料至非揮發性記憶體 60。

請參考圖三。圖三為本發明存取一記憶體之方法的流程圖，該方法之步驟如下：

步驟 100： 開始。

步驟 102： 利用一微處理器產生一第一邏輯位址資料。



## 五、發明說明 (10)

步驟 104: 利用一位址轉換裝置依據一控制訊號，選擇性地輸出該第一邏輯位址資料或者一第二邏輯位址資料，以作為一實體位址資料。

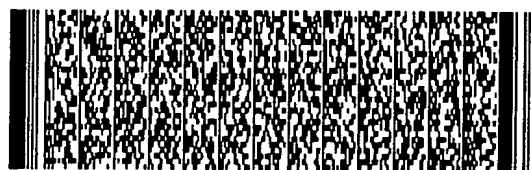
步驟 106: 依據該實體位址資料存取該記憶體。

步驟 108: 結束。

為說明圖三中本發明存取一記憶體之方法，請再參考圖二。假設圖二之微處理器系統 400 中，非揮發性記憶體 60 大小為 512Kbyte，其定址範圍從 00000H 至 7FFFFH，其中系統啟動碼區段 62 之大小為 16Kbyte，位址從 00000H 至 03FFFH；而普通韌體碼區段 64 的大小為 496Kbyte，位址從 04000H 至 7FFFFH。

於本發明之一較佳實施例中，微處理器 40 在步驟 102 中產生該第一邏輯位址資料（假設為 00000H），用以指定非揮發性記憶體 60 中之一資料位址，並經由第一位址匯流排 42 將該第一邏輯位址資料傳輸至運算單元 54 及多工器 58 之該第二輸入端，接著進行步驟 104。

為說明上的方便，以下另假設於本實施例中，儲存於暫存器 52 中之該設定值為系統啟動碼區段 62 的大小



## 五、發明說明 (11)

04000H。

於步驟 104 中，位址轉換裝置 50 中的運算單元 54 於本實施例中係為一加法器。運算單元 54 會根據該設定值 (04000H) 對所接收到的該第一邏輯位址資料 (00000H) 進行加法運算，而運算後所得之結果即為該第二邏輯位址資料 (04000H)。接著該第二邏輯位址資料會被傳送至多工器 58 之該第一輸入端。由多工器 58 根據該選擇端所接收到由控制器 56 所傳送過來的該控制訊號，對該第一邏輯位址資料與該第二邏輯位址資料進行多工處理。若該控制訊號為一致能 (Enable) 訊號，則多工器 58 會選擇輸出該第二邏輯位址資料，以作為該實體位址資料，此時該實體位址資料為 04000H。接下來於步驟 106 中，非揮發性記憶體 60 根據該實體位址資料 (04000H) 進行資料定址，將儲存於位址 04000H (屬於普通韌體碼區段 64) 中的資料備便，以供微處理器 40 進行存取。

相反地，若多工器 58 於步驟 104 中所接收到的該控制訊號為一非致能 (Disable) 訊號，則多工器 58 會選擇輸出該第一邏輯位址資料 (00000H)，以作為該實體位址資料，此時該實體位址資料為 00000H。接下來於步驟 106 中，非揮發性記憶體 60 便根據該實體位址資料 (00000H) 進行資料定址，將儲存於位址 00000H (屬於



#### 五、發明說明 (12)

系統啟動碼區段 62) 中的資料備便，供微處理器 40 進行存取。

如上所述，只要控制器 56 發出一致能訊號，多工器 58 所輸出之該實體位址資料便與原先的該第一邏輯位址資料不同。另一方面，當控制器 56 發出一非致能訊號時，則多工器 58 所輸出之該實體位址資料便會與原先的該第一邏輯位址資料相同。換句話說，當控制器 56 發出一致能訊號時，便相當於開啟位址轉換裝置 50 進行轉換微處理器 40 所發出之該第一邏輯位址的功能。

因此，透過改變控制器 56 所發出之該控制訊號，便能開啟或關閉位址轉換裝置 50 的功能。而且，一旦開啟了位址轉換裝置 50，則系統啟動碼區段 62 便等同不存在於微處理器 40 所能存取的位址空間。這是因為該第一邏輯位址資料會被位址轉換裝置 50 平移，且平移的量恰等於系統啟動碼區段 62 的大小。所以微處理器 40 便無法對系統啟動碼區段 62 當中的內容進行存取，當然也就不能對系統啟動碼區段 62 內的資料進行刪除或更新的動作。由此可知，只要開啟了位址轉換裝置 50，便能確保系統啟動區段 62 的內容不會被誤存取、誤抹除或誤更新。

此外，雖然上述對本發明之一實施例的說明當中，係假設非揮發性記憶體 60 之系統啟動碼區段 62 的大小為

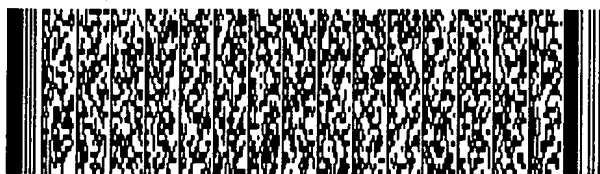


#### 五、發明說明 (13)

16Kbyte，但通常在實際應用時，需儲存於其內的系統啟動碼 (Boot Code) 之大小不一定剛好是 16byte。例如，假設實際需儲存於系統啟動碼區段 62 當中的韌體碼 (即系統啟動碼)，其大小為 12Kbyte。為了提昇非揮發性記憶體 60 的使用效率，系統啟動碼區段 62 應釋出沒有使用的空間 (大小為 4Kbyte)，以讓普通韌體碼區段 64 能有更大的容量儲存其他韌體碼。為了縮減系統啟動碼區段 62 的大小，於圖三之實施例當中，位址轉換裝置 50 僅需改變暫存器 52 當中所儲存之該設定值，便能達到減少受保護的記憶體區段大小的目的，以釋出多餘的記憶體空間供儲存其他韌體碼之用。

如前所述，假設實際需使用到的系統啟動碼之大小為 12Kbyte，表示系統啟動碼區段 62 只需要有 12Kbyte 的大小，則此時可更改暫存器 52 中的該設定值為 03000H (系統啟動碼區段 62 之大小為 03000H)。於步驟 102 當中，微處理器 40 產生該第一邏輯位址資料，假設其仍為 00000H，經由第一位址匯流排 42 將該第一邏輯位址資料傳輸至運算單元 54 及多工器 58 之該第二輸入端，接著進行步驟 104。

於步驟 104 中，位址轉換裝置 50 中的運算單元 54，會根據該新的設定值 (03000H) 對所接收到的該第一邏輯位址資料 (00000H) 進行加法運算，而運算後所得之結果即

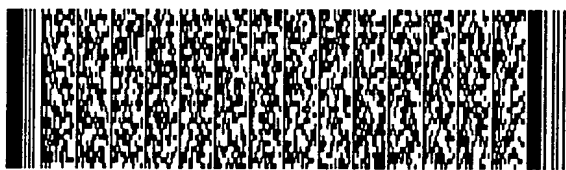


#### 五、發明說明 (14)

為該第二邏輯位址資料 ( 03000H) 。接著該第二邏輯位址資料會被傳送至多工器 58 之該第一輸入端。由多工器 58 根據控制器 56 提供之該控制訊號，對該第一邏輯位址資料與該第二邏輯位址資料進行多工處理。若該控制訊號為一致能訊號 ( 表示開啟位址轉換裝置 50 之位址轉換功能 ) ，則多工器 58 會選擇輸出該第二邏輯位址資料 ( 03000H ) ，以作為該實體位址資料，此時該實體位址資料為 03000H 。接下來於步驟 106 中，非揮發性記憶體 60 根據該實體位址資料 ( 03000H ) 進行資料定址，將儲存於位址 03000H 中的資料備便，以供微處理器 40 進行存取。

請注意，位址 03000H 原先屬於系統啟動碼區段 62 的範圍，但此時雖然已開啟位址轉換裝置 50，微處理器 40 依然可對非揮發性記憶體 60 中儲存於位址 03000H 的資料進行存取。這表示非揮發性記憶體 60 之位址 03000H 屬於微處理器 40 的位址空間。以此類推，在此情況下，即使開啟位址轉換裝置 50，非揮發性記憶體 60 當中從位址 03000H 到位址 03FFFFH 的區段，都是屬於微處理器 40 的位址空間。

如此一來，在開啟位址轉換裝置 50 的情況下，不屬於微處理器 40 之位址空間的系統啟動碼區段 62，其位址區間變成從 00000H 到 02FFFFH，而大小變成只有 12Kbyte。此



##### 五、發明說明 (15)

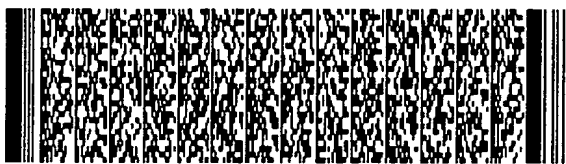
時，系統啟動碼區段 62 原先 16Kbyte 中的最後 4Kbyte，已被釋出並納入普通韌體碼區段 64 當中。同理，若系統啟動碼之實際大小為 20Kbyte，只要將該設定值改成 20Kbyte，本發明便可提供一大小為 20Kbyte 受保護的系統啟動碼區段 62。

如前所述，習知技術當中系統啟動碼區段 62 的大小，受限於記憶體廠商之設計，不能依實際系統啟動碼大小彈性調整。然而，本發明藉由改變暫存器 52 當中的該設定值，便能達成彈性調整非揮發性記憶體 60 當中所欲保護的系統啟動碼區段 62 大小之目的。

接下來，以圖三所示之微處理器系統 400 為例，進一步說明本發明存取一記憶體之方法在不同情況下之應用方式：

當電源啟動或重置時，為使微處理器 40 能執行儲存於系統啟動碼區段 62 中之系統啟動碼，以啟動系統的正常運作。故關閉位址轉換裝置 50，使系統啟動碼區段 62 存在於微處理器 40 的位址空間。

當微處理器 40 將執行至一般韌體碼時，此時微處理器 40 已執行完畢系統啟動碼，成功啟動系統。為了避免接下來微處理器 40 存取其他儲存於普通韌體碼區段 64 當中的





##### 五、發明說明 (16)

韌體碼，以操控系統之正常運作時，意外地發生誤存取、誤抹除或誤變更系統啟動碼區段 62 內容的情形。通常微處理器 40 會執行一預設於系統啟動碼最末段之指令，命令控制器 56 輸出一致能訊號，以開啟位址轉換裝置 50。如前所述，此時系統啟動碼區段 62 並不存在於微處理器 40 的位址空間。因此，儲存於系統啟動碼區段 62 當中的系統啟動碼，不可能被微處理器 40 所存取，當然也就不可能會發生被誤抹除或誤變更的情形。

當需要進行系統啟動碼區段 62 之存取、抹除或更新動作時（如韌體更新），為使微處理器 40 能將更新用的系統啟動碼，寫入至系統啟動碼區段 62，以取代舊的系統啟動碼，故關閉位址轉換裝置 50。如前所述，此時系統啟動碼區段 62 與普通韌體碼區段 64，兩者皆存在於微處理器 40 之位址空間。因此，微處理器 40 可對系統啟動碼區段 62 的內容進行讀取、寫入與抹除的動作，以完成韌體更新的需要。

請注意，在前面說明本發明存取記憶體之方法的實施例中，儲存於暫存器 52 中之該設定值，係系統啟動碼區段 62 的大小。該設定值並不限定為系統啟動碼區段 62 的大小。其亦可以系統啟動碼區段 62 之終點位址為設定值。當欲保護之系統啟動碼區段 62 位為非揮發性記憶體 60 之最末一區段時，該設定值亦可設為系統啟動碼區段 62 之



#### 五、發明說明 (17)

起始位址。只要該設定值能實現本發明存取一記憶體的方法，均屬於本發明所涵蓋之範圍。

同理，於本發明之一較佳實施例中，運算單元 54 對該第一邏輯位址資料進行的運算，係為一加法器的功能，此僅為舉例說明之方便。本發明並不限定運算單元 54 為一加法器。運算單元 54 視需要而定，亦可為一減法器等等的運算電路。例如，當欲保護之系統啟動碼區段 62 位於非揮發性記憶體 60 之最末一區段時，運算單元 54 便可根據系統啟動碼區段 62 之起始位址，對該第一邏輯位址資料進行減法運算。只要能達成本發明之目的的運算單元，均屬於本發明之範圍。

總結以上說明，本發明之方法有以下技術特徵：(1) 本發明之微處理器系統當中所使用的非揮發性記憶體，不需具備系統啟動碼區段之鎖定功能。當然，本發明亦適用於有支援系統啟動碼區段鎖定功能的特殊非揮發性記憶體。(2) 本發明之微處理器系統使用一位址轉換裝置，以達成保護該非揮發性記憶體當中之特定記憶體區段的目的。(3) 本發明透過修改該位址轉換裝置之一設定值，可彈性調整欲保護之特定記憶體區段的大小。

以上所述僅為本發明之較佳實施例，凡本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋



五、發明說明 (18)

範圍。



## 圖式簡單說明

### 圖式之簡單說明

圖一為習知技術之一微處理器系統的示意圖。

圖三為本發明之微處理器系統之一實施例的示意圖。

圖二為本發明存取一記憶體之方法的流程圖。

### 圖式之符號說明

10、40	微處理器	52	暫存器
20、42、44	位址匯流排	54	運算單元
30、60	記憶體	56	控制器
32、62	系統啟動碼區段	58	多工器
34、64	普通韌體碼區段	200	習知微處理器系統
36、37、38	記憶體接腳		
400	本發明之微處理器系統		
50	位址轉換裝置		



#### 六、申請專利範圍

1.一種存取一記憶體的方法，用以於存取該記憶體時保護一記憶體區段不被誤存取或誤變更，該方法包含有以下步驟：

- (a)利用一微處理器產生一第一邏輯位址資料；
- (b)利用一位址轉換裝置依據一控制訊號，選擇性地輸出該第一邏輯位址資料或者一第二邏輯位址資料，以作為一實體位址資料；以及
- (c)依據該實體位址資料存取該記憶體。

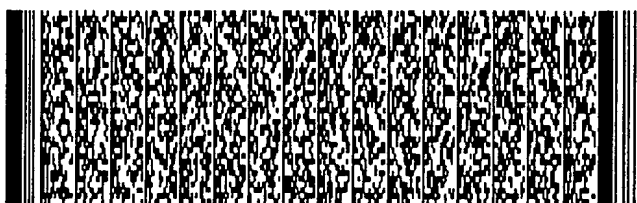
其中該第二邏輯位址資料係為該第一邏輯位址資料經過運算後所得之結果。

2.如申請專利範圍第1項所述之方法，其中步驟(b)中另包含該位址轉換裝置係根據一設定值，對該第一邏輯位址資料加以運算，以產生該第二邏輯位址資料。

3.如申請專利範圍第2項所述之方法，其中該設定值係為該記憶體區段之一特性值。

4.如申請專利範圍第2項所述之方法，其中該設定值係儲存於一暫存器中。

5.如申請專利範圍第2項所述之方法，其中該位址轉換裝置另包含有一運算單元；而步驟(b)中另包含使用該運算單元，根據該設定值對該第一邏輯位址資料加以運算，



#### 六、申請專利範圍

以產生該第二邏輯位址資料。

6.如申請專利範圍第2項所述之方法，其中該位址轉換裝置另包含有一多工器；而步驟(b)中另包含利用該多工器依據該控制訊號，對該第一邏輯位址單元與該第二邏輯位址單元進行多工處理，以選擇輸出該第一邏輯位址資料或是該第二邏輯位址資料。

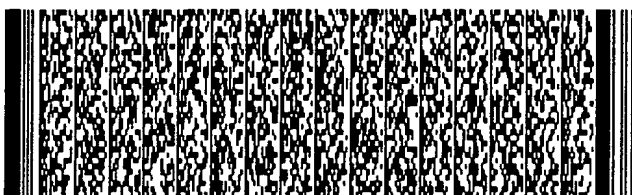
7.一種微處理器系統，用以存取一記憶體，該微處理器系統包含有：

一微處理器，用以提供一第一邏輯位址資料；

一記憶體，包含有一第一記憶體區段及一第二記憶體區段；以及

一位址轉換裝置，耦接於該微處理器與該記憶體之間，用以根據一控制訊號選擇性地輸出該第一邏輯位址資料或者一第二邏輯位址資料，以作為一實體位址資料；

其中該第二邏輯位址資料係為該第一邏輯位址資料經過運算後所得之結果，而該微處理器所存取的該記憶體資料，係為該實體位址資料所對應於該第一記憶體區段或該第二記憶體區段之內容。



六、申請專利範圍

8.如申請專利範圍第7項所述之微處理器系統，其中該記憶體係為一非揮發性記憶體。

9.如申請專利範圍第7項所述之微處理器系統，其中該位址轉換裝置係根據一設定值對該第一邏輯位址資料進行運算，而產生該第二邏輯位址資料。

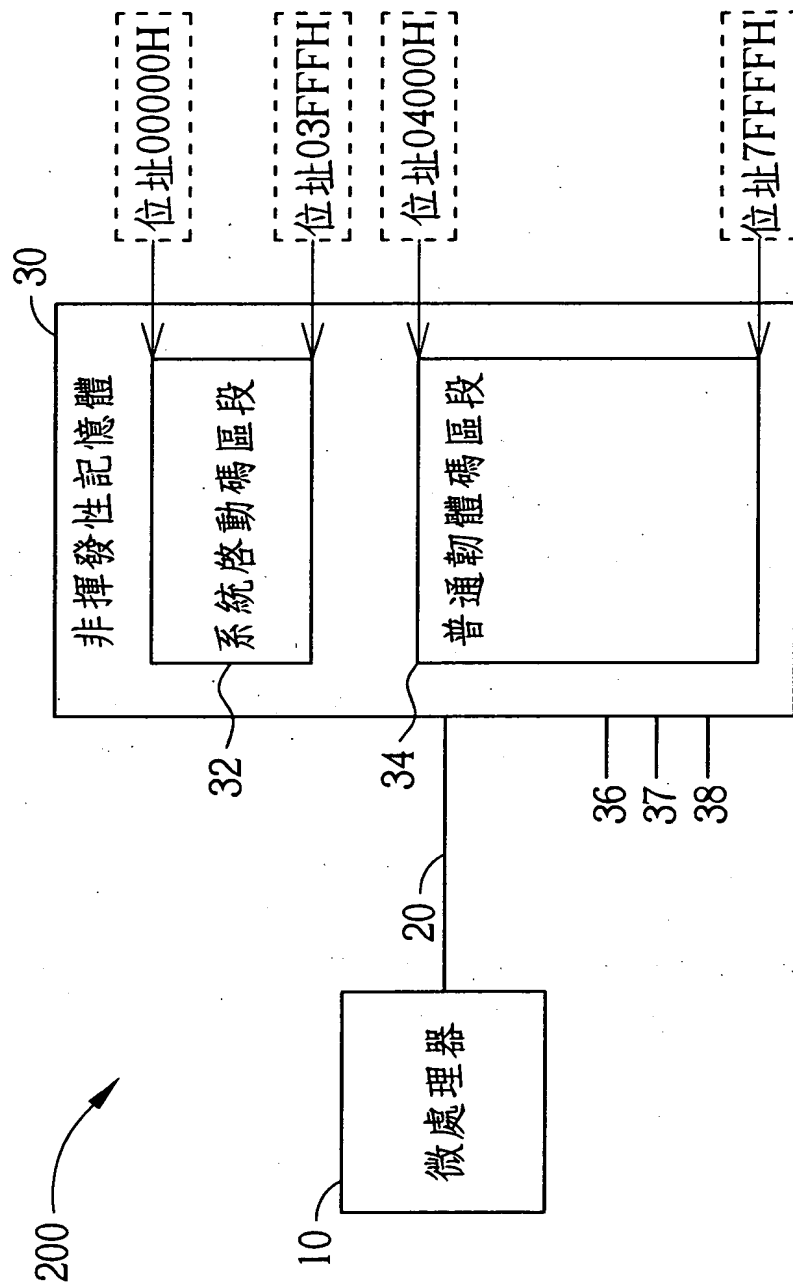
10.如申請專利範圍第9項所述之微處理器系統，其中該設定值係為該第一記憶體區段之一特性值。

11.如申請專利範圍第9項所述之微處理器系統，其中該位址轉換裝置另包含有一運算單元，用以根據該設定值對該第一邏輯位址資料進行運算，以產生該第二邏輯位址資料。

12.如申請專利範圍第9項所述之微處理器系統，其中該位址轉換裝置另包含有一暫存器，用以儲存該設定值。

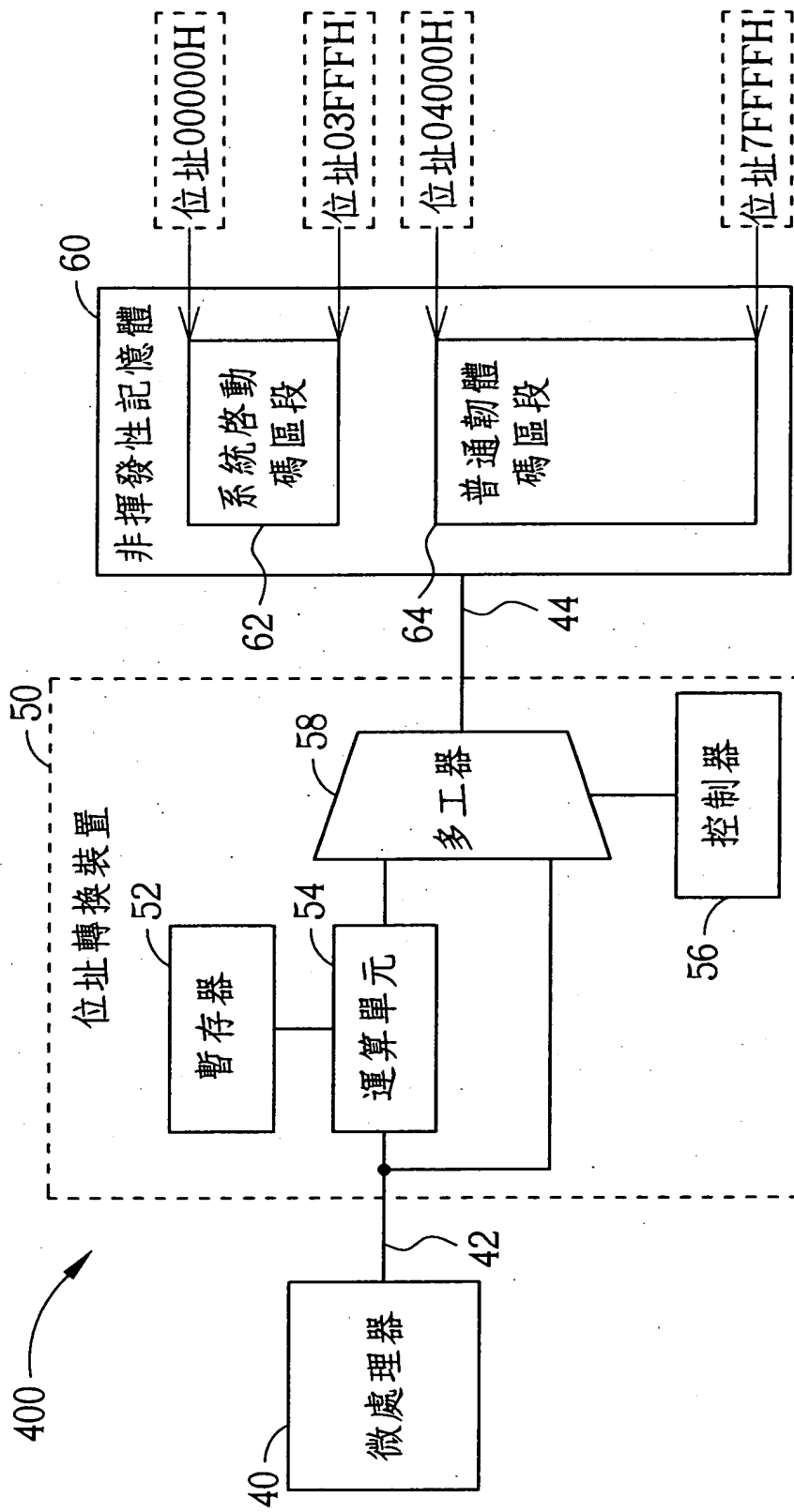
13.如申請專利範圍第7項所述之微處理器系統，其中該位址轉換裝置另包含有一多工器，用以依據該控制訊號對該第一邏輯位址單元與該第二邏輯位址單元進行多工處理，選擇性輸出該第一邏輯位址資料或是該第二邏輯位址資料。



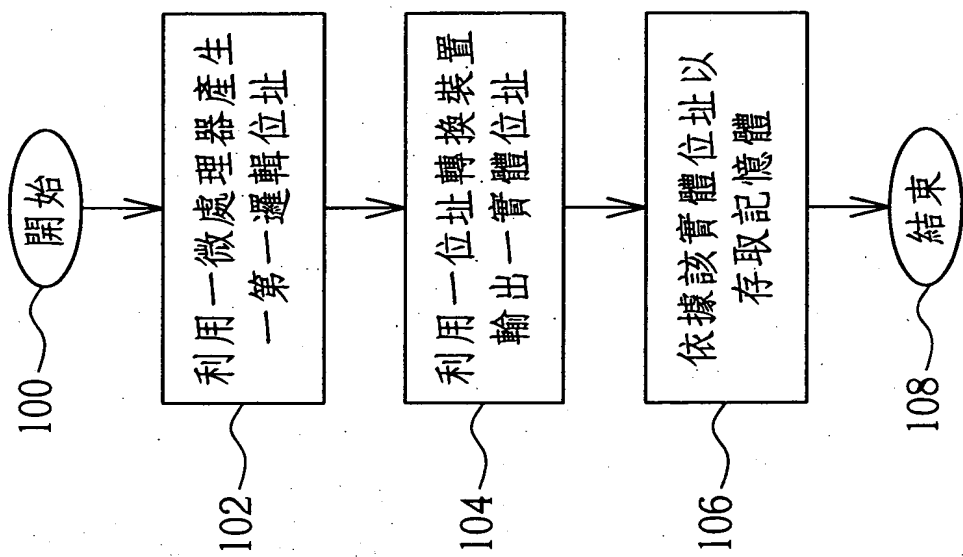


圖一





圖二



圖三

BEST AVAILABLE COPY

第 1/27 頁



第 2/27 頁



第 3/27 頁



第 3/27 頁



第 4/27 頁



第 5/27 頁



第 6/27 頁



第 6/27 頁



第 7/27 頁



第 7/27 頁



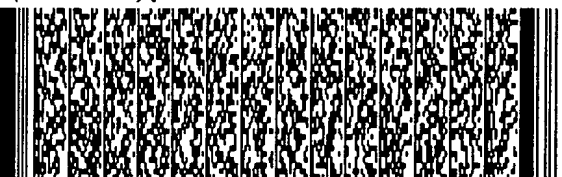
第 8/27 頁



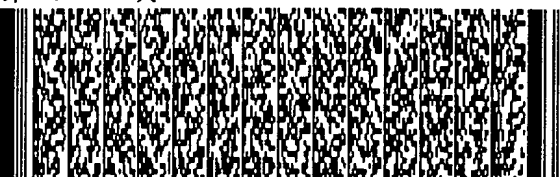
第 8/27 頁



第 9/27 頁



第 9/27 頁



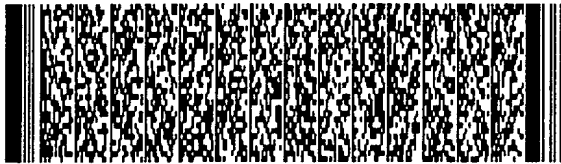
第 10/27 頁



第 10/27 頁



第 11/27 頁



第 11/27 頁



第 12/27 頁



第 12/27 頁



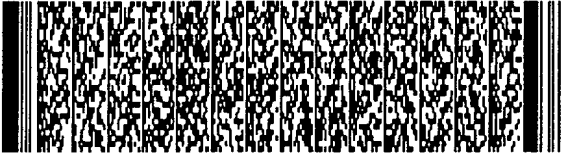
第 13/27 頁



第 13/27 頁



第 14/27 頁



第 14/27 頁



第 15/27 頁



第 15/27 頁



第 16/27 頁



第 16/27 頁



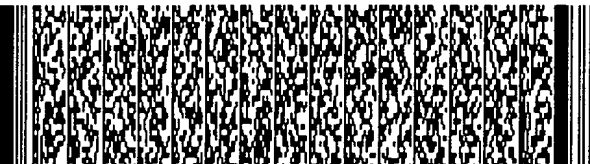
第 17/27 頁



第 17/27 頁



第 18/27 頁



第 18/27 頁



BEST AVAILABLE COPY

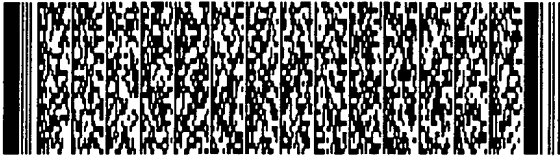
第 19/27 頁



第 19/27 頁



第 20/27 頁



第 20/27 頁



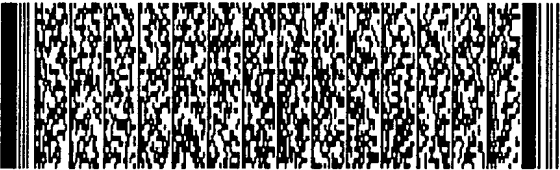
第 21/27 頁



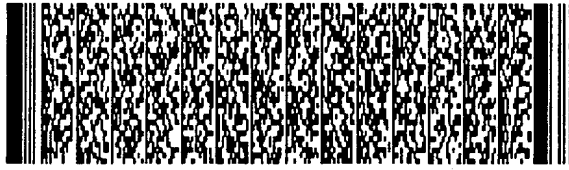
第 21/27 頁



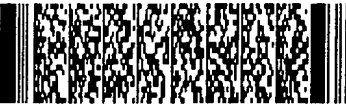
第 22/27 頁



第 22/27 頁



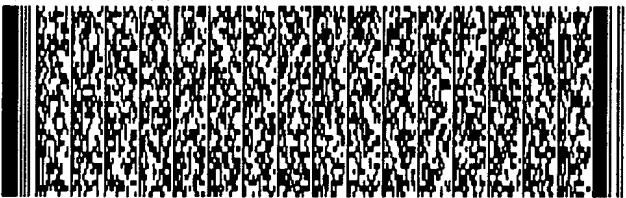
第 23/27 頁



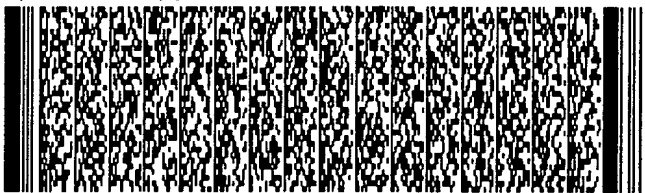
第 24/27 頁



第 25/27 頁



第 26/27 頁



第 27/27 頁

